



特 許 願 (特許法第30条ただし書)  
(の風定による特許出願)

昭和47年3月6日

特許庁長官殿

1. 発 明 の 名 称  
利 特 制 御 回 路
  2. 特許請求の範囲に記載された発明の数 2
  3. 発 明 者  
住 所 東京都大田区雪谷大塚町1番7号  
アルプス電気株式会社内  
氏 名 五 十 嵐 明 彦
  4. 特 許 出 願 人  
〒145 住 所 東京都大田区雪谷大塚町1番7号  
名 称 アルプス電気株式会社  
電話 東京 (726) 1211 (代表)  
代表者 片 岡 勝 太 郎
  5. 添 附 書 類 の 目 録  
(1) 明 細 書 1 通  
(2) 図 面 1 通  
(3) 願 書 副 本 1 通
- 47 022986

明 細 書

1. 発明の名称  
利特制御回路
2. 特許請求の範囲  
(1) 電界効果トランジスタとバイポーラトランジスタとをカスコード接続して、前記電界効果トランジスタのソース電極を直接接地し、後段のバイポーラトランジスタはベース接地とし、バイポーラトランジスタのベース電極に印加した直流電圧を可変として利特制御を行なう構成の利特制御回路において、電界効果トランジスタのドレイン電極とバイポーラトランジスタのエミッタ電極との間に抵抗を接続し、増巾器の入力電圧が小さいときのバイポーラトランジスタのベース電極に与える直流電圧を電界効果トランジスタの使用限定範囲内の直流ドレイン電流のうち一番大きい時のピンチオフ電圧とバイポーラトランジスタが前記直流ドレイン電流時のベース・エミッタ間電圧および前記ドレイン電極・エミッタ電極間抵抗値と直流ドレイン電流の積との和よりも小とし、使用限定範囲内の直流ドレイン電流のうち一番小さいドレイン電流時のピンチオフ電圧とバイポーラトランジスタが前記一番小さいドレイン電流時のベース・エミッタ間電圧と前記ドレイン電極・エミッタ電極間抵抗値および前記一番小さいドレイン電流の積との和よりも大きい範囲に選んだことを特徴とする増巾回路。
- (2) 電界効果トランジスタのドレイン電極とバイポーラトランジスタのエミッタ電極とを直接接続し、増巾器の入力電圧が小さいときの、バイポーラトランジスタのベース電極に与える直流電圧を、電界効果トランジスタの使用限定範囲内の直流ドレイン電流のうち一番大きいときの

①9 日本国特許庁

# 公開特許公報

- ①特開昭 48-90653
- ④3公開日 昭48.(1973) 1126
- ②1特願昭 47-22986
- ②2出願日 昭47.(1972) 3. 6
- 審査請求 未請求 (全4頁)

庁内整理番号

⑤2日本分類

6707 53

98(5)A11

ピンチオフ電圧とバイポーラトランジスタが前記直流ドレイン電流時のベース・エミッタ間電圧との和よりも小さく、電界効果トランジスタの使用限定範囲内の直流ドレイン電流のうち一番小さいときのピンチオフ電圧とバイポーラトランジスタが前記の一番小さいドレイン電流時のベース・エミッタ間電圧との和よりも大きい範囲に選んだことを特徴とする増巾回路。

### 3. 発明の詳細な説明

本発明はVHFまたはUHF帯で使用するチューナの自動利得制御回路に関し、自動利得制御特性(AGC特性)の変動を抑え、且つ混変調特性をも改善した回路を提供することを目的とする。

一般にVHFまたはUHF帯で使用するチューナの高周波増巾段において電界効果トランジスタ(以下FETと略す)とバイポーラトランジスタ(以下バイポーラと略す)とをカスコード接続す

の直流ドレイン電流(以下 $I_{DSS}$ と略す)の変動によつて利得の差が大きく変わるため、通常、ソース電極に抵抗(3)を挿入する手段で補正しなければならなかった。更にAGCの方法としてN型デプレッションタイプのFETの場合、C、D端子に正電圧を加え、Bを零から負電圧にすることによつて、バイポーラQ0及びFET(9)の動作電流を低下させ、FETの相互コンダクタンス $g_m$ 及びバイポーラの利得帯域幅積 $IT$ を低下させてAGC効果を得ることができるが、FET(9)の増巾特性が非直線領域となるため、第3次高調波が発生し、混変調<sup>注</sup>特性が劣化し多いという欠点があった。例えば次に示す定数を第1図の回路の各素子に使用した場合、

1 . . . 50 K $\Omega$

2 . . . "

3 . . . 120  $\Omega$

る場合、従来は第1図の様な回路構成が用いられていた。同図について各部の説明をすると、(1)および(2)はFET(9)のゲート用の抵抗、(3)はFET(9)のソース抵抗、(4)、(5)はバイポーラQ0のベースバイアス抵抗、(6)、(7)、(8)はそれぞれ抵抗(2)、(3)、(4)と並列に接続され、高周波的にバイパス効果を得るためのコンデンサ、Aは信号入力端子、Bは自動利得制御(以下AGCと略す)用の端子、Cは出力端子、DはB電源に接続される端子である。動作について簡単に説明すると、入力端子Aから入つて来た高周波信号はソース接地されたFET(9)のゲートに加えられ、その出力がベース接地されたバイポーラQ0のエミッタに加えられ、コレクタから出力が取り出され次段に接続される。

このカスコード接続回路の特徴は、利得を大きく安定に取り出す事ができ、大入力時のAGC効果が良好であるという利点がある反面、FET(9)

4 . . . 10 K $\Omega$

5 . . . 10 K $\Omega$

6~8 . . . 1000 P

D . . . 12 V

9 . . . 2SK33

10 . . . 2SC461

AGC特性は、第3図に示すように、FET(9)の $I_{DSS}$ を2mA(曲線F)と12mA(曲線G)とした場合に、大きな差があり、減衰特性の差が大きく、最大減衰時のAGC電圧 $V_B$ も1ボルト以上の差が発生し、更に第4図に示す混変調特性図においても減衰度20dB近くにおいて妨害波電圧特性が劣化するという使用上はなほ不都合になる場合があつた。

以上のような欠点に鑑み、本発明はカスコード接続においてAGC特性の変動を抑え、且つ混変調特性をも改善した画期的な回路を提供するもの

で、その実施例を示す第2図について説明すれば(第1図と同一部分は同一の符号で示し、説明を省略する)、Q1はFET(9)のドレイン電極とバイポーラQ2のエミッタ電極との間に接続された抵抗、EはAGC端子である。その回路構成は基本的に第1図と同じであるが、本発明の特徴は、FET(9)のドレイン電極とバイポーラQ2のエミッタ電極との間に抵抗Q1を挿入し、FET(9)のソース電極を直接接地し、また、AGC用電圧 $V_E$ は抵抗(5)を介してバイポーラQ2のベース電極に加え、且つコンデンサ(8)で交流的に接地する点である。以下、この回路の原理を説明する。

第2図において、FET(9)がN型デプレッションタイプの物な、AGC電圧 $V_E$ として正の電圧を端子Eに印加するとAGCが動作するが、除々に $V_E$ を下げることでバイポーラQ2のエミッタ電圧が下がり、更にFET(9)のドレイン電圧

となり、これら両式が満足する様に $V_E$ を設定する。

前記の条件に $V_E$ を定めると、FET(9)の $I_{DSS}$ が $I_{DSS \cdot Max}$ のときは、FET(9)のドレイン電極とアースとの間の電圧がピンチオフ電圧 $V_{pMax}$ 以下となるため、すでにFET(9)は利得減衰を始めており、 $V_E$ を更に減少することによって利得の減衰が更に進んでAGC効果が得られる。

また、 $I_{DSS}$ がきわめて小さいときは、AGC電圧 $V_E$ を印加してもFET(9)のドレイン・ソース電極間の電圧はピンチオフ電圧( $V_{pMin}$ )以上になっているので、利得の減衰がない状態であり、AGC電圧 $V_E$ を下げることでAGC効果が発生する。

すなわち、一定の値にAGC電圧 $V_E$ を設定することによって、 $I_{DSS}$ の変動による利得の補正が可能となるわけである。

が低下してドレイン・ソース間電圧がピンチオフ電圧以下になると除々に利得の減衰が始まり、 $V_E$ を零にすることによって最大の減衰となる。このとき、AGC電圧 $V_E$ を、FET(9)の変動のうち一番大きい直流ドレイン電流 $I_{DSS}$ (以下 $I_{DSS \cdot Max}$ )時のピンチオフ電圧( $V_{p \cdot Max}$ )と、抵抗Q1の抵抗値を $R_{11}$ とした場合のドレイン・エミッタ間電圧 $R_{11} \cdot I_{DSS \cdot Max}$   <sup>$\times I_{DSS \cdot Max}$</sup> におけるバイポーラのベース・エミッタ間電圧 $V_{BE \cdot Max}$ の和よりも小さい値に設定する。すなわち、式で表わすと

$$V_E < V_{pMax} + R_{11} \cdot I_{DSSMax} + V_{BE \cdot Max}$$

また、FET(9)の変動のうち一番小さい直流ドレイン電流 $I_{DSS}$ (以下 $I_{DSS \cdot Min}$ とする)時のピンチオフ電圧を $V_{pMin}$ 、 $I_{DSS \cdot Min}$ におけるバイポーラQ2のベース・エミッタ電圧を $V_{BE \cdot Min}$ とすると

$$V_E > V_{pMin} + R_{11} \cdot I_{DSSMin} + V_{BE \cdot Min}$$

更にFET(9)の $I_{DSS}$ が大きいときは、AGC電圧 $V_E$ の変化に対して、本発明は急激に利得が変化したが、抵抗Q1が負帰還の役目をしているため、除々にAGC効果が発生する。一方、 $I_{DSS}$ が小さいときは、抵抗Q1による効果は殆んどなく、本発明、AGC特性が緩やかに変化するため、例えば、第2図中の各素子の定数をそれぞれ1:50K $\Omega$ 、5:39K $\Omega$ 、11:47 $\Omega$ 、8:1000p、トランジスタは第1図と同じくした場合は第5図に示すように $I_{DSS}$ の大小に関係なくAGC特性は平均化される。(曲線Fは $I_{DSS}=2mA$ 、曲線Gは $I_{DSS}=12mA$ のときの利得制御特性曲線である)。更にもう一つの利点として、AGC減衰をさせても、FET(9)の増幅特性曲線が平坦となるので、高調波歪の発生は少なく、第6図に示すように混変調特性の劣化がなく、使用上すこぶる都合がよい。

また、本発明は従来より部品点数が少なく製作が容易であり、コスト的にも有利である。前記説明では抵抗  $R_{11}$  を使用したが、場合によりそれを省いて、 $V_E$  を  $R_{11} \cdot I_{Dmax}$  分または  $R_{11} \cdot I_{Dmin}$  分だけ減少させれば一向に差し支えない。

また、FET (9) の特性はデプレッションタイプで説明したが、エンハンスメントタイプであつても、常時ゲートに正バイアスを印加しておけば全く同様に使用可能であるし、エンハンスメントデプレッション両用タイプでは AGC 電圧  $V_E$  の範囲を正から負へ移動させれば一向に差しつかえない。

さらに、N 型の場合を示したが、P 型でも電源の極性を逆にすれば同様に使用可能である。

#### 4. 図面の簡単な説明

第 1 図は従来の FET-バイポーラトランジスタのカスコード接続回路、第 2 図は本発明による

特開昭48-90653(4)

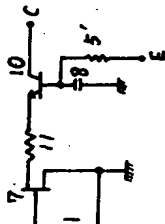
カスコード接続回路、第 3 図は第 1 図の回路を用いた場合の利得制御特性図、第 4 図は第 1 図の回路を用いた場合の混変調特性図、第 5 図は本発明の回路を用いた場合の利得制御特性図、第 6 図は本発明の回路を用いた場合の混変調特性図である。

(1)、(2) はゲート抵抗、(3) はソース抵抗、(4)、(5) はベースバイアス抵抗、(6)、(7)、(8) はバイパスコンデンサ、(9) は FET、(10) はバイポーラトランジスタ、(11) はゲート抵抗、(12) はベースバイアス抵抗、(13) は負帰還用抵抗、A は信号入力端子、B は AGC 用端子、C は出力端子、D は B 電源用端子、E は AGC 用端子を示す。

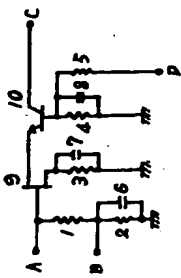
特許出願人 アルプス電気株式会社

代表者 片岡 勝太郎

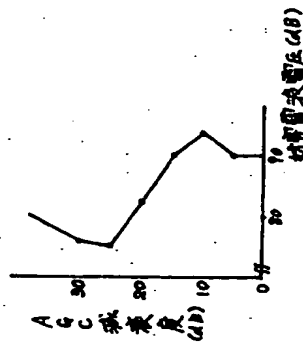
第 2 図



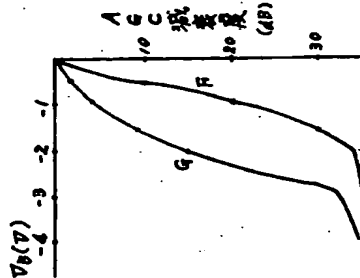
第 1 図



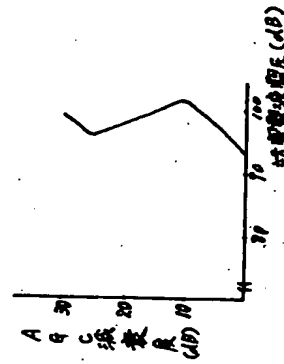
第 4 図



第 3 図



第 6 図



第 5 図

